

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-017509

(43)Date of publication of application : 22.01.1999

(51)Int.Cl.

H03K 17/22  
// H04M 1/00

(21)Application number : 09-164157 (71)Applicant : CITIZEN WATCH CO LTD

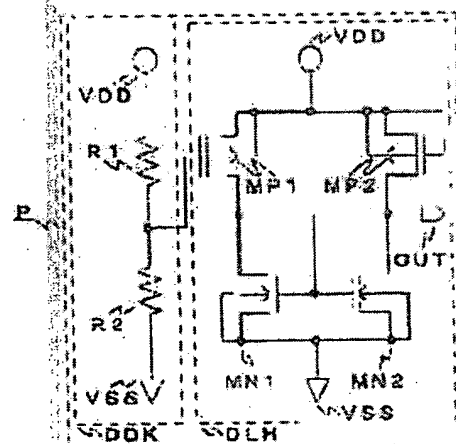
(22)Date of filing : 20.06.1997 (72)Inventor : NISHI HIROKI  
SAKURAI YASUHIRO

## (54) POWER ON RESET CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To secure a stable state and a stable operation of a power on reset circuit in a short time after the power voltage is supplied despite the variance or change of the rise speed and the level of the power voltage by preparing a comparator which compares the potential that has no dependence on the power voltage with the potential that monotonously changes according to the increase of the power voltage.

**SOLUTION:** When the supply of power is started, a potential comparator DLH sets the increasing power potential of a power potential detection circuit DDK at  $\leq$  a level that is lower than the potential of a high potential power supply VDD a degree equal to the difference of threshold voltage between a 1st P-channel MOS transistor TR MP1 and a 2nd P-channel MOS TR MP2. Then the power potential is set at  $\geq$  a level that is lower than the potential level of the VDD by a degree equal to the difference of threshold voltage between both TR MP1 and MP2 during or after the rise of the power voltage.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision  
of rejection]

**BEST AVAILABLE COPY**

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

**BEST AVAILABLE COPY**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-17509

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 3 K 17/22

H 0 3 K 17/22

E

// H 0 4 M 1/00

H 0 4 M 1/00

N

審査請求 未請求 請求項の数 7 O L (全 19 頁)

(21) 出願番号 特願平9-164157

(22) 出願日 平成9年(1997) 6月20日

(71) 出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

(72) 発明者 西 宏樹

埼玉県所沢市大字下富字武野840番地 シ

チズン時計株式会社技術研究所内

(72) 発明者 桜井 保宏

埼玉県所沢市大字下富字武野840番地 シ

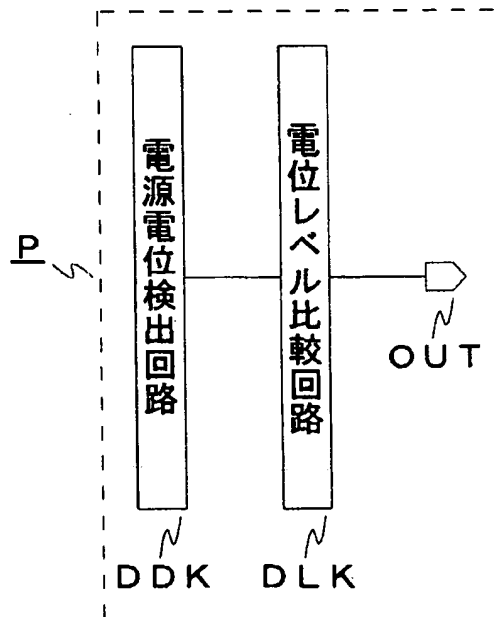
チズン時計株式会社技術研究所内

(54) 【発明の名称】 パワーオンリセット回路

(57) 【要約】

【課題】 従来のパワーオンリセット回路は電源電圧の立ち上がり速度や電源電圧の大きさがばらつきや変化に大きく依存し、電源電圧の立ち上がり速度が遅くなったり電源電圧が小さくなると動作を行なえなくなるという課題があり、用いる回路システムの電源に依存するために汎用性に欠ける。

【解決手段】 パワーオンリセット回路は、電位レベル比較回路が電源電圧の立ち上がり速度に依存せずに電位レベル比較回路が電源電位レベルと基準電位レベルの電位レベルを比較するので、出力信号が電源電圧の立ち上がり速度のばらつきや大きな変化にまったく依存しない。



## 【特許請求の範囲】

【請求項1】 電源電圧依存性のない電位レベルと電位レベル比較回路とを有することを特徴とするパワーオンリセット回路。

【請求項2】 電源電圧依存性のない電位レベルと、電源電圧の増加とともに単調に変化する電位レベルとの電位レベル比較回路を有することを特徴とするパワーオンリセット回路。

【請求項3】 電源電圧依存性のない電位レベルと、電源電圧の増加とともに単調に変化する電位レベルとの電位レベル比較回路を有し、  
電位レベル比較回路はオフセット型コンパレータ回路で構成することを特徴とするパワーオンリセット回路。

【請求項4】 電源電圧依存性のない電位レベルと、電源電圧の増加とともに単調に変化する電位レベルとの電位レベル比較回路を有し、  
電位レベル比較回路はオフセット型コンパレータ回路で構成し、オフセット型コンパレータ回路はスレッシュホールド電圧が異なるMOSTランジスタで構成することを特徴とするパワーオンリセット回路。

【請求項5】 電源電圧依存性のない電位レベルと、電源電圧の増加とともに単調に変化する電位レベルとの電位レベル比較回路を有し、  
電位レベル比較回路はオフセット型コンパレータ回路で構成し、オフセット型コンパレータ回路はチャネル領域の不純物濃度分布が異なるMOSTランジスタで構成することを特徴とするパワーオンリセット回路。

【請求項6】 電源電圧依存性のない電位レベルと、電源電圧の増加とともに単調に変化する電位レベルとの電位レベル比較回路を有し、  
電位レベル比較回路はオフセット型コンパレータ回路で構成し、  
オフセット型コンパレータ回路はゲートの仕事関数が異なるMOSTランジスタで構成することを特徴とするパワーオンリセット回路。

【請求項7】 電源電圧依存性のない電位レベルと、電源電圧の増加とともに単調に変化する電位レベルとの電位レベル比較回路を有し、  
電位レベル比較回路は第1の第1導電型MOSTランジスタと第1の第2導電型MOSTランジスタが第1の電源と第2の電源の間で直列に接続し、  
第2の第1導電型MOSTランジスタと第2の第2導電型MOSTランジスタが第1の電源と第2の電源の間で直列に接続し、  
第1の第1導電型MOSTランジスタのドレインが第1の第2導電型MOSTランジスタと第2の第2導電型MOSTランジスタのゲートに接続することを特徴とするパワーオンリセット回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、携帯機器において電源供給を周期的に停止する機能を有する携帯電話やPHSなどに代表される移動体通信機器の基準信号源として用いる温度補償型水晶発振器において、電源投入時などに回路システムの初期状態を設定するパワーオンリセット回路の構成に関するものである。

【0002】

## 【従来の技術】

【背景説明】近年、携帯電話やPHSなどの移動体通信機器に搭載するデジタル温度補償型水晶発振器などのような電子機器部品の電源電圧を低くして動作時の消費電力を下げることで、携帯機器の動作時間を長くする要望が大きい。

【0003】さらに、一般の電子機器と同様に移動体通信機器では電源スイッチを“オン”や“オフ”することにより動作時間と待機時間を分けることができ待機時には完全に動作を停止することで消費電力をほとんどゼロにできる。

【0004】しかしながら、携帯電話の場合は動作時間においては通話時間と待ち受け時間があり、待機時間のように待ち受け時間に電源スイッチを“オフ”し動作を完全に停止することはできない。さらに、携帯電話は通話時間よりも待ち受け時間の方が長い時間を占めるために、待ち受け時間の消費電力により携帯電話を使用できる時間が決まる。

【0005】ここで、待ち受け時間の消費電力を下げるために、待ち受け時間内においてもさらに動作時間と待機時間があり、以下これらの時間を待ち受け動作時間と待ち受け待機時間と記述する。待ち受け動作時には移動体通信機器に信号が送信されているかどうかの着信確認をおこない、信号が送信されていることを確認すると動作時間である通話時間になる。

【0006】しかし、待ち受け動作時間で信号が送信されていることの確認ができないと、ふたたび待ち受け待機時間になる。この待ち受け待機時間では、消費電力を可能な限り少なくするために経過時間の計測をおこなう回路以外の回路に対する電源電圧供給を停止する。

【0007】つまり、移動体通信機器は待ち受け時間内において、待ち受け動作時間と待ち受け待機時間とを繰り返しておこない待ち受け動作時間のみ信号の送信を確認して通話時間に切り替わり、信号の送信が確認されない場合は待ち受け待機時間に戻る。

【0008】このように、待ち受け時間内においても動作時間と待機時間を交互におこなうので、待ち受け待機時間から待ち受け動作時間に移行するときに、待ち受け待機時間に電源電圧供給を停止していた回路に対して電源電圧供給を開始する。

【0009】このとき、電源電圧供給を開始してから回路システムの初期状態を設定するためにパワーオンリセット回路を用いるが、このパワーオンリセット回路が電

源電圧供給の立ち上がりや電源電圧の大きさに依存すると回路システムを安定な状態で起動できなくなる。

【0010】そして、電源電圧供給を開始してから安定した動作状態になり信号の着信確認をおこなえるようになるまでに時間がかかりすぎると結果的に待ち受け動作時間が長くなってしまい、待ち受け時間における消費電力も大きくなる。

【0011】このように、待ち受け時間における消費電力を下げるためには、移動体通信機器に使用する電子機器部品に対し動作補償している電源電圧内で、どのような立ち上がりでも電源電圧供給を開始してから短時間で安定した状態になる仕様が要求される。

【0012】〔従来技術の説明：図9〕つぎに従来技術におけるパワーオンリセット回路の構成を図9を使用して説明する。図9は従来技術のパワーオンリセット回路Pを示す回路図である。

【0013】図9に示すように、従来技術におけるパワーオンリセット回路Pの構成は、コンデンサCと抵抗Rが高電位側電源VDDと低電位側電源VSSの間で直列に接続し、コンデンサCと抵抗Rの接続点がインバータINVの入力に接続し、インバータINVの出力を信号出力部OUTとする。さらに、図9ではコンデンサCが高電位側電源VDD側に接続し、抵抗Rが低電位側電源VSS側に接続する構成になっているが、コンデンサCと抵抗Rを入れ替えて抵抗Rが高電位側電源VDD側に接続し、コンデンサCが低電位側電源VSS側に接続する構成もある。

【0014】つぎに図9に示す従来技術のパワーオンリセット回路Pの動作について説明する。ただし、高電位側電源VDDの電位を“ハイ”とし、低電位側電位VSSを“ロウ”と呼ぶ。

【0015】電源電圧供給を開始すると、初期状態においては、コンデンサCに高電位側電源VDDの電位である電荷が充電し、インバータINVには“ハイ”信号が入力し、インバータINVの出力である信号信号出力部OUTは“ロウ”信号を出力する。つぎに、コンデンサCに充電している高電位側電源VDDの電位である電荷は抵抗Rを介して低電位側電源VSSに放電し、インバータINVに入力する信号レベルは“ハイ”信号から“ロウ”信号に変化し、インバータINVの出力である信号信号出力部OUTは“ハイ”信号を出力する。このとき、信号信号出力部OUTにおける信号レベルが“ロウ”信号から“ハイ”信号に反転するのは、入力信号がインバータINVのスレッシュOLD電位を通過するときである。

【0016】ここで、従来技術のパワーオンリセット回路Pの信号信号出力部OUTにおける信号レベルが“ロウ”信号の間に回路システムの初期状態を設定するように周辺回路のロジックを設計すると、電源供給を開始してから従来技術のパワーオンリセット回路Pの信号信号

出力部OUTにおける信号レベルが“ロウ”信号から“ハイ”信号に反転する間に回路システムの初期状態を設定できる。

【0017】従来技術のパワーオンリセット回路Pが回路システムの初期状態を設定するためには、パワーオンリセット回路Pの信号信号出力部OUTにおける信号レベルが必ず“ロウ”信号になり、電源電圧の立ち上がりによって“ハイ”信号に反転する必要があり、回路システムの初期状態を確実に設定するためには電源電圧の立ち上がりで従来技術のパワーオンリセット回路Pの信号信号出力部OUTにおける信号レベルが“ロウ”信号から“ハイ”信号に反転するタイミングが重要である。

【0018】従来技術のパワーオンリセット回路Pの信号信号出力部OUTにおける信号レベルが“ロウ”信号から“ハイ”信号に反転するタイミングは、抵抗Rの抵抗値やコンデンサCの容量値やインバータINVのスレッシュOLD電圧を変えることによりある程度任意に変えられる。このとき、インバータINVのスレッシュOLD電圧はこのインバータINVを構成するPチャンネルMOSトランジスタとNチャンネルMOSトランジスタのサイズやスレッシュOLD電圧を変えることで調節できる。

【0019】たとえば、電源電圧の立ち上がり速度とインバータINVのスレッシュOLD電圧が一定である場合を考えると、電源電圧供給を開始する初期状態においてはコンデンサCに高電位側電源VDDの電位である電荷が充電する。このとき、コンデンサCの容量値が大きくなればコンデンサCに充電する電荷量は増え、コンデンサCの容量値が小さくなればコンデンサCに充電する電荷量は減り、コンデンサCの容量値によりこのコンデンサCに充電する電荷量を増減できる。

【0020】つぎに、コンデンサCに充電している高電位側電源VDDの電位である電荷は抵抗Rを介して低電位側電源VSSに放電する。このとき、抵抗Rの抵抗値が大きくなればコンデンサCから抵抗Rを介して電荷を放電しきるまでの時間が長くなり、抵抗Rの抵抗値が小さくなればコンデンサCから抵抗Rを介して電荷を放電しきるまでの時間が短くなる。これは、コンデンサCに充電している高電位側電源VDDの電位である電荷は電流として低電位側電源VSSに放電するので、コンデンサCと低電位側電源VSSの間に設ける抵抗Rの大きさにより電流量を制限するからである。

【0021】つまり、抵抗RとコンデンサCが高電位側電源VDDと低電位側電源VSSの間で直列に接続し、抵抗Rが高電位側電源VDD側に接続しコンデンサCが低電位側電源VSS側に接続する構成する場合、抵抗RとコンデンサCの接続点の電位は抵抗Rの抵抗値とコンデンサCの容量値との積で定義する時定数に従って変化する。

【0022】このため、電源電圧の立ち上がり速度とイ

ンバータINVのスレッシュホールド電圧が一定である場合、抵抗RとコンデンサCの接続点における電位つまりインバータINVに対する入力信号の電位が高電位側電源VDDの電位から低電位側電源VSSの電位に変化する間にインバータINVのスレッシュホールド電圧を通過するタイミングを変えられる。

【0023】また、電源電圧の立ち上がり速度と抵抗Rの抵抗値とコンデンサCの容量値が一定である場合を考えると、インバータINVのスレッシュホールド電圧を変えることで抵抗RとコンデンサCの接続点における電位であるインバータINVの入力電位に対する信号信号出力部OUTの信号レベルが反転するタイミングを調整できる。

【0024】つまり、従来技術のパワーオンリセット回路Pの信号信号出力部OUTにおける信号レベルが“ロウ”信号から“ハイ”信号に反転するタイミングは、従来の技術のパワーオンリセット回路Pを構成する抵抗RとコンデンサCとインバータINVによりある程度任意に変えられ、従来の技術のパワーオンリセット回路Pを用いる回路システムに適した抵抗値や容量値やスレッシュホールド電圧を選択すれば、電源供給の開始時における初期状態を設定できる。

【0025】しかし、後述するような要因によって電源電圧の立ち上がり速度がばらつくと従来技術のパワーオンリセット回路Pを構成する抵抗Rの抵抗値とコンデンサCの容量値とインバータINVのスレッシュホールド電圧の回路定数を設定することによる電源電圧の立ち上がり速度とパワーオンリセット回路Pの信号信号出力部OUTにおける信号レベルが“ロウ”信号から“ハイ”信号に反転するタイミングを調整することができない。

【0026】ここで、電源電圧の立ち上がり速度とは、電源供給を開始してから電源電圧の電位が安定した電位にかかるまでの時間を意味しているが、移動体通信機器の電源には通常電池を用い、この電池による電源供給を直接用いたりレギュレータ回路を介して回路システムに電源供給を行っており、電池やレギュレータ回路の立ち上がり特性が異なる場合に電源電圧が立ち上がる時間もばらつく。

【0027】従来技術のパワーオンリセット回路Pの信号信号出力部OUTにおける信号レベルが“ロウ”信号から“ハイ”信号に反転するタイミングは、抵抗RとコンデンサCとによる時定数で決まっている。このため、電源電圧の立ち上がり時間がばらつくと、信号信号出力部OUTにおける信号レベルが反転するタイミングもばらつく。

【0028】また、移動体通信機器の電源には通常デカップリング回路と呼ばれる各回路ブロックにおける雑音などが原因である相互干渉を防止する回路が設けられ、このデカップリング回路は抵抗とコンデンサを用いる積分回路の構成をしている。このため、電源電圧の立ち上

がりもこの積分回路の影響でさらに遅くなり、電源電圧の立ち上がりが遅くなると抵抗RとコンデンサCの接続点における電位が低電位側電源VSSの電位と等しく変化してしまい信号信号出力部OUTにおける信号レベルは電源供給を開始してから“ハイ”信号を出力する。

【0029】つまり、従来技術のパワーオンリセット回路Pは電源電圧の立ち上がり速度に依存してしまうために、異なる立ち上がり特性の電源に用いるためにはその電源に適した回路定数に調整する必要があり、回路システムを多くの移動体通信機器に用いる場合に汎用性に欠ける。

【0030】[その他の従来技術の説明：図10] つぎに以上の説明と異なる従来技術におけるパワーオンリセット回路の構成を図10を使用して説明する。図10はその他の従来技術のパワーオンリセット回路Pを示す回路図である。図10に示すその他の従来技術のパワーオンリセット回路Pは電源電圧の立ち上がり速度にあまり依存しない。

【0031】図10に示すその他の従来技術のパワーオンリセット回路Pの構成は、抵抗RとNチャンネルMOSTランジスタNMSが高電位側電源VDDと低電位側電源VSSの間で直列に接続し、抵抗RとNチャンネルMOSTランジスタNMSの接続点がNチャンネルMOSTランジスタNMSのゲートとインバータINVの入力に接続し、インバータINVの出力を信号出力部OUTとする。ここで、NチャンネルMOSTランジスタNMSのゲートとドレインが接続するMOSTランジスタのダイオード接続になっている。

【0032】また、図10においては、抵抗Rが高電位側電源VDD側に接続し、NチャンネルMOSTランジスタNMSが低電位側電源VSS側に接続する構成になっているが、PチャンネルMOSTランジスタPMSが高電位側電源VDD側に接続し、抵抗Rが低電位側電源VSS側に接続し、抵抗RとPチャンネルMOSTランジスタPMSの接続点がPチャンネルMOSTランジスタPMSのゲートに接続する構成もある。ここで、PチャンネルMOSTランジスタPMSのゲートとドレインが接続するMOSTランジスタのダイオード接続になっている。

【0033】そして、NチャンネルMOSTランジスタNMSのゲートとドレインとが接続するMOSTランジスタのダイオード接続や、PチャンネルMOSTランジスタPMSのゲートとドレインが接続するMOSTランジスタのダイオード接続をダイオードと置き換える構成もある。

【0034】つぎに図10に示すその他の従来技術のパワーオンリセット回路Pの動作について説明する。ただし、高電位側電源VDDの電位を“ハイ”とし、低電位側電位VSSを“ロウ”と呼ぶ。

【0035】電源電圧供給を開始すると、初期状態にお

いては抵抗RとNチャンネルMOSトランジスタNMSの接続点における電位は高電位側電源VDDの電位になりインバータINVには“ハイ”信号が入力し、インバータINVの出力である信号出力部OUTは“ロウ”信号を出力する。つぎに、その他の従来技術のパワーオンリセット回路Pに使用しているNチャンネルMOSトランジスタNMSはNチャンネルMOSトランジスタNMSのゲートとドレインが接続するMOSトランジスタのダイオード接続になっているので、抵抗RとNチャンネルMOSトランジスタNMSの接続点における電位が高電位側電源VDDの電位であるとNチャンネルMOSトランジスタNMSのダイオード接続に順方向電流が流れる。

【0036】このため、抵抗RとNチャンネルMOSトランジスタNMSの接続点における電位は、高電位側電源VDDの電位から低電位側電源VSSの電位に変化するため、インバータINVに入力する信号レベルも“ハイ”信号から“ロウ”信号に変化し、インバータINVの出力である信号出力部OUTは“ハイ”信号を出力する。このとき、信号出力部OUTにおける信号レベルが“ロウ”信号から“ハイ”信号に反転するのは、入力信号がインバータINVのスレッシュホールド電位を通過するときである。

【0037】ここで、その他の従来技術のパワーオンリセット回路Pの信号出力部OUTにおける信号レベルが“ロウ”信号の間に回路システムの初期状態を設定するように周辺回路のロジックを設計すると、電源供給を開始してからその他の従来技術のパワーオンリセット回路Pの信号出力部OUTにおける信号レベルが“ロウ”信号から“ハイ”信号に反転する間に回路システムの初期状態を設定できる。

【0038】その他の従来技術のパワーオンリセット回路Pが回路システムの初期状態を設定するためには、パワーオンリセット回路Pの信号出力部OUTにおける信号レベルが必ず“ロウ”信号になり、電源電圧の立ち上がりによって“ロウ”信号に反転する必要がある。したがって、回路システムの初期状態を確実に設定するためには電源電圧の立ち上がりとその他の従来技術のパワーオンリセット回路Pの信号出力部OUTにおける信号レベルが“ロウ”信号から“ハイ”信号に反転するタイミングが重要である。

【0039】その他の従来技術のパワーオンリセット回路Pの信号出力部OUTにおける信号レベルが“ロウ”信号から“ハイ”信号に反転するタイミングは、抵抗Rの抵抗値やNチャンネルMOSトランジスタNMSのサイズやスレッシュホールド電圧としてインバータINVのスレッシュホールド電圧を変えることによりある程度任意に変えられる。このとき、インバータINVのスレッシュホールド電圧はこのインバータINVを構成するPチャンネルMOSトランジスタとNチャンネルMOSトランジスタ

のサイズやスレッシュホールド電圧を変えることで調節できる。また、図10ではNチャンネルMOSトランジスタNMSのダイオード接続を1段しか用いていないが、この段数を増やすことでもその他の従来技術のパワーオンリセット回路Pの信号出力部OUTにおける信号レベルが反転するタイミングを変えられる。

【0040】たとえば、電源電圧の立ち上がり速度とインバータINVのスレッシュホールド電圧が一定である場合を考えると、電源電圧供給を開始する初期状態においては抵抗RとNチャンネルMOSトランジスタNMSの接続点における電位は高電位側電源VDDの電位である。また、初期状態においては、NチャンネルMOSトランジスタNMSのソースとドレイン間に印加している電圧は小さいので、NチャンネルMOSトランジスタNMSのダイオード接続は順方向に電流を流せない。

【0041】時間の経過とともに電源電圧が大きくなると、NチャンネルMOSトランジスタNMSのソースとドレインとの間に印加している電圧も大きくなり、NチャンネルMOSトランジスタNMSのダイオード接続は順方向が“オン”するので順方向電流が流れ、抵抗RとNチャンネルMOSトランジスタNMSの接続点における電位が低電位側電源VSSの電位になる。

【0042】このとき、抵抗RとNチャンネルMOSトランジスタNMSの接続点における電位は、電源電圧を抵抗RとNチャンネルMOSトランジスタNMSによる分圧で決まる。このため、抵抗Rの抵抗値が大きいと、抵抗RとNチャンネルMOSトランジスタNMSの接続点における電位が低電位側電源VSSに近くなり、NチャンネルMOSトランジスタNMSのソースとドレイン間に印加している電圧も小さくなるので、NチャンネルMOSトランジスタNMSのダイオード接続に順方向電流が流れるまでの時間が長くなる。

【0043】これとは逆に、抵抗Rの抵抗値が小さいと抵抗RとNチャンネルMOSトランジスタNMSの接続点における電位が低電位側電源VSSから遠くなりNチャンネルMOSトランジスタNMSのソースとドレイン間に印加している電圧も大きくなるので、NチャンネルMOSトランジスタNMSのダイオード接続に順方向電流が流れるまでの時間が短くなる。

【0044】また、NチャンネルMOSトランジスタNMSのチャネル長やチャネル幅を変えることによりサイズを大きくすると、NチャンネルMOSトランジスタNMSのダイオード接続に順方向電流が流れるまでの時間が長くなり、サイズを小さくするとNチャンネルMOSトランジスタNMSのダイオード接続に順方向電流が流れるまでの時間が短くなる。

【0045】NチャンネルMOSトランジスタNMSのスレッシュホールド電圧を大きくするとNチャンネルMOSトランジスタNMSのダイオード接続に順方向電流が流れるまでの時間が長くなり、スレッシュホールド電圧を小さく

くするとNチャンネルMOSTランジスタNMSのダイオード接続に順方向電流が流れるまでの時間が短くなる。

【0046】そして、NチャンネルMOSTランジスタNMSを直列に接続し抵抗Rと低電位側電源VSSの間に設け、NチャンネルMOSTランジスタNMSのダイオード接続の直列に接続する段数を増やすことにより、直列に接続しているNチャンネルMOSTランジスタNMSのダイオード接続に流れる順方向電流を減らし時間を長くできる。

【0047】つまり、抵抗Rと、NチャンネルMOSTランジスタNMSとが高電位側電源VDDと低電位側電源VSSの間で直列に接続し、抵抗Rが高電位側電源VDD側に接続しNチャンネルMOSTランジスタNMSが低電位側電源VSS側に接続する構成する場合、抵抗RとNチャンネルMOSTランジスタNMSの接続点における電位は電源電圧を抵抗RとNチャンネルMOSTランジスタNMSによる分圧による。

【0048】このため、電源電圧の立ち上がり速度と、インバータINVのスレッシュホールド電圧とが一定である場合、抵抗RとNチャンネルMOSTランジスタNMSの接続点における電位つまりインバータINVに対する入力信号の電位が高電位側電源VDDの電位から低電位側電源VSSの電位に変化する間にインバータINVのスレッシュホールド電圧を通過するタイミングを変えられる。

【0049】さらに、電源電圧の立ち上がり速度と抵抗Rの抵抗値とNチャンネルMOSTランジスタNMSとの特性が一定である場合を考えると、インバータINVのスレッシュホールド電圧を変えることによって、抵抗RとNチャンネルMOSTランジスタNMSの接続点における電位であるインバータINVの入力電位に対する信号出力部OUTの信号レベルが反転するタイミングを調整できる。

【0050】つまり、その他の従来の技術のパワーオンリセット回路Pの信号出力部OUTにおける信号レベルが“ロウ”信号から“ハイ”信号に反転するタイミングは、その他の従来技術のパワーオンリセット回路Pを構成する抵抗RとNチャンネルMOSTランジスタNMSとインバータINVによりある程度任意に変えられ、その他の従来技術のパワーオンリセット回路Pを用いる回路システムに適した回路定数を選択すれば、電源供給の開始時における初期状態を設定できる。

【0051】図10に示すその他の従来技術のパワーオンリセット回路Pは、電源電圧に対する分圧を用いてインバータINVの出力を反転しているので、電源電圧の立ち上がり速度が変化したとしてもタイミングに多少のズレが生じるだけで、パワーオンリセット回路の動作には問題は起らない。

【0052】しかしながら、電源電圧の大きさがばらつ

くとその他の従来技術のパワーオンリセット回路Pを構成する抵抗RとNチャンネルMOSTランジスタNMSとインバータINVの回路定数を設定することによる電源電圧の立ち上がり速度とパワーオンリセット回路Pの信号出力部OUTにおける信号レベルが“ロウ”信号から“ハイ”信号に反転するタイミングを調整することができない。

【0053】ここで、電源電圧のばらつきとは移動体通信機器の電源には通常電池を用い、この電池による電源供給を直接用いたりレギュレータ回路を介して回路システムに電源供給を行っており、電池やレギュレータ回路の製造ばらつきや実装などにより回路システムに供給する電源電圧はばらつく。

【0054】その他の従来技術のパワーオンリセット回路Pの信号出力部OUTにおける信号レベルが“ロウ”信号から“ハイ”信号に反転するタイミングは抵抗RとNチャンネルMOSTランジスタNMSによる電源電圧の分圧で決まっているので、電源電圧がばらつくと、信号出力部OUTにおける信号レベルが反転するタイミングもばらつく。

【0055】これは、NチャンネルMOSTランジスタNMSのダイオード接続の電圧依存性が大いことによる。パワーオンリセット回路が回路システムの初期状態を設定する時間はなるべく電源電圧が立ち上がりついている間で長い時間行いたい。たとえば、電源電圧が5.ゼロVの場合に対して回路定数を設定するパワーオンリセット回路をそのまま電源電圧が3.ゼロVの場合に用いると、NチャンネルMOSTランジスタNMSのダイオード接続に流れる順方向電流が少なく抵抗RとNチャンネルMOSTランジスタNMSの接続点における電位がインバータINVのスレッシュホールド電圧を通過しなくなり、信号出力部OUTにおける信号レベルは電源電圧が立ち上がっても“ロウ”信号を出力する。

【0056】つまり、その他の従来技術のパワーオンリセット回路Pは電源電圧に依存してしまうために、電源電圧が異なる場合や電源電圧がばらつく場合にはその電源に適した回路定数に調整する必要がある、回路システムを多くの移動体通信機器に用いる場合に汎用性に欠けてしまう。さらに、今後において移動体通信機器の消費電力を下げる目的で電源電圧を下げた場合、NチャンネルMOSTランジスタNMSのダイオード接続に順方向電流が流れずに、その他の従来技術のパワーオンリセット回路Pは動作できない。

【0057】

【発明が解決しようとする課題】携帯電話やPHSなどの移動体通信機器で消費電流を下げる場合、待ち受け時間の消費電力を下げるために、待ち受け時間内において待ち受け待機時間では電子機器部品への電源電圧供給を停止することと待ち受け動作時間では電子機器部品への電源電圧供給を開始することを繰り返すおこない、消費

電力を可能な限り少なくしている。

【0058】このため、移動体通信機器に使用する電子機器部品に対し電源投入後に短時間で安定した状態になる仕様に対して、電源電圧の立ち上がり速度がバラ付いたり変化すると図9に示す従来技術のパワーオンリセット回路Pでは出力信号が電源電圧の立ち上がり速度のばらつきに大きく依存し、電源電圧の立ち上がり速度が遅くなると従来技術のパワーオンリセット回路Pは動作を行なえなくなるという課題がある。

【0059】また、電源電圧の大きさがバラ付いたり変化すると、図10に示すその他の従来技術のパワーオンリセット回路Pでは出力信号が電源電圧の大きさのばらつきに大きく依存し、さらに移動体通信機器の消費電力を少なくするために電源電圧が小さくなると第2の従来技術のパワーオンリセット回路Pは動作を行なえなくなるという課題がある。

【0060】[発明の目的] 本発明の目的は、移動体通信機器に使用する電子機器部品に対する電源電圧供給を開始した後に短時間で安定した状態になるという要求を満足し、しかも電源電圧の立ち上がり速度や電源電圧の大きさがバラ付いたり変化しても安定した動作を行なえるパワーオンリセット回路を提供することである。

【0061】

【課題を解決するための手段】上記の目的を達成するため、本発明によるパワーオンリセット回路の構成は、下記のとおりとする。

【0062】本発明のパワーオンリセット回路は、電源電圧依存性のない電位レベルと、電源電圧の増加とともに単調に変化する電位レベルとの電位レベル比較回路を有することを特徴とする。

【0063】本発明のパワーオンリセット回路においては、電源電圧依存性のない電位レベルと、電源電圧の増加とともに単調に変化する電位レベルとの電位レベル比較回路を有し、電位レベル比較回路はオフセット型コンパレータ回路で構成することを特徴とする。

【0064】本発明のパワーオンリセット回路においては、電源電圧依存性のない電位レベルと、電源電圧の増加とともに単調に変化する電位レベルとの電位レベル比較回路を有し、電位レベル比較回路はオフセット型コンパレータ回路で構成し、オフセット型コンパレータ回路はスレッシュホールド電圧が異なるMOSトランジスタで構成することを特徴とする。

【0065】本発明のパワーオンリセット回路においては、電源電圧依存性のない電位レベルと、電源電圧の増加とともに単調に変化する電位レベルとの電位レベル比較回路を有し、電位レベル比較回路はオフセット型コンパレータ回路で構成し、オフセット型コンパレータ回路はチャネル領域の不純物濃度分布が異なるMOSトランジスタで構成することを特徴とする。

【0066】本発明のパワーオンリセット回路において

は、電源電圧依存性のない電位レベルと、電源電圧の増加とともに単調に変化する電位レベルとの電位レベル比較回路を有し、電位レベル比較回路はオフセット型コンパレータ回路で構成し、オフセット型コンパレータ回路はゲートの仕事関数が異なるMOSトランジスタで構成することを特徴とする。

【0067】本発明のパワーオンリセット回路においては、電源電圧依存性のない電位レベルと、電源電圧の増加とともに単調に変化する電位レベルとの電位レベル比較回路を有し、電位レベル比較回路は第1の第1導電型MOSトランジスタと第1の第2導電型MOSトランジスタが第1の電源と第2の電源の間で直列に接続し、第2の第1導電型MOSトランジスタと第2の第2導電型MOSトランジスタが第1の電源と第2の電源のあいだで直列に接続し、第1の第1導電型MOSトランジスタのドレインが第1の第2導電型MOSトランジスタと第2の第2導電型MOSトランジスタのゲートに接続することを特徴とする。

【0068】[作用] 本発明のパワーオンリセット回路は、電源電圧依存性のない電位レベルと電位レベル比較回路を有し、電源電圧の大きさにより出力信号の電位レベルを切り換えられる。

【0069】この構成により、本発明のパワーオンリセット回路は電源電圧の立ち上がり速度と電源電圧の大きさにばらつきや変動があっても回路システムの初期状態を設定することが安定して行なえる

【0070】

【発明の実施の形態】以下図面を用いて、本発明の実施形態のパワーオンリセット回路の最適な実施形態を説明する。

【0071】[本発明の第1の実施形態の説明：図1] はじめに、本発明の第1の実施形態のパワーオンリセット回路を詳しく説明する。図1は、本発明の第1の実施形態におけるパワーオンリセット回路Pの構成を示す回路図である。

【0072】図1に示すように、本発明の第1の実施形態のパワーオンリセット回路Pは、電源電圧の増加とともに単調に変化する電位レベルを出力する電源電位検出回路DDKと、電源電位検出回路DDKが出力する電位レベルを比較し高低関係を出力する電位レベル比較回路DLHとで構成する。

【0073】そして、電源電位検出回路DDKが電位レベル比較回路DLHに接続し、電位レベル比較回路DLHに信号出力部OUTを設ける。

【0074】つぎに図1に示す本発明の第1の実施形態のパワーオンリセット回路Pの動作について説明する。

【0075】電源供給を開始後時間の経過とともに電源電圧は増加する。このとき電源電位検出回路DDKは、電源電圧の増加に対応して、単調に増加または減少する電位レベルを電位レベル比較回路DLHに出力する。以

下、電源電位検出回路DDKが電位レベル比較回路DLHに出力する電位レベルを電源電位レベルと呼ぶ。

【0076】電源電位レベルの増加と減少とは、本発明のパワーオンリセット回路Pを用いる回路システムの基準レベルであるグラントレベルが、高電位側電源VDDであるか低電位側電源VSSであるかにより異なり、グラントレベルが高電位側電源VDDである場合電源電圧の増加とともに電源電位レベルは減少し、グラントレベルが低電位側電源VSSである場合電源電圧の増加とともに電源電位レベルは増加をする。

【0077】そして、電源電圧が立ち上がる間は電源電位検出回路DDKが出力する電源電位レベルは単調増加または単調減少し、電源電圧が立ち上がりある一定の電圧になると電源電位検出回路DDKも電源電圧に対応してある一定の電源電位レベルを出力する。

【0078】電位レベル比較回路DLHは入力する電源電位レベルの高低関係を比較し、電源電位レベルが高いか低いかによって、信号出力部OUTに出力する出力信号の電位レベルを変化する。以下、電位レベル比較回路DLHが信号出力部OUTから出力する電位レベルを信号電位レベルと呼ぶ。

【0079】電源電圧の立ち上がりとともに変化する電源電位検出回路DDKが出力する電源電位レベルに対して、電位レベル比較回路DLHが出力する信号電位レベルの切り換わる電源電位レベルを設定するか、電位レベル比較回路DLHが出力する信号電位レベルの切り換わる電源電位レベルが電源電圧の立ち上がりに対して時間的に異なるように設定する。

【0080】グラントレベルが高電位側電源VDDである場合、電源供給の開始状態では、つねに電源電位検出回路DDKが出力する電源電位レベルを電位レベル比較回路DLHが出力する信号電位レベルの切り換わる電源電位レベル以上に設定し、電源電圧が立ち上がる間または立ち上がり後に電源電位レベルは電位レベル比較回路DLHが出力する信号電位レベルの切り換わる電源電位レベル以下になるように設定する。

【0081】電位レベル比較回路DLHは、電源電位検出回路DDKが出力する電源電位レベルが電位レベル比較回路DLHが出力する信号電位レベルの切り換わる電源電位レベル以下の間に、信号出力部OUTからある電位レベルの出力信号を出力し回路システムの初期状態を設定し、電源電位レベルが信号電位レベルの切り換わる電源電位レベル以上になると回路システムの初期状態の設定を終了する。

【0082】また、グラントレベルが低電位側電源VSSである場合、電源供給の開始状態では常に電源電位検出回路DDKが出力する電源電位レベルを電位レベル比較回路DLHが出力する信号電位レベルの切り換わる電源電位レベル以下に設定し、電源電圧が立ち上がる間または立ち上がり後に電源電位レベルは電位レベル比較回

路DLHが出力する信号電位レベルの切り換わる電源電位レベル以上になるように設定する。

【0083】電位レベル比較回路DLHは、電源電位検出回路DDKが出力する電源電位レベルが電位レベル比較回路DLHが出力する信号電位レベルの切り換わる電源電位レベル以上の間に信号出力部OUTからある電位レベルの出力信号を出力し回路システムの初期状態を設定し、電源電位レベルが信号電位レベルの切り換わる電源電位レベル以下になると回路システムの初期状態の設定を終了する。

【0084】[本発明の第2の実施形態の説明：図2] つぎに、本発明の第2の実施の形態のパワーオンリセット回路を詳しく説明する。図2は、本発明の第2の実施形態におけるパワーオンリセット回路Pの構成を示す回路図である。

【0085】図2に示すように、本発明の第2の実施形態のパワーオンリセット回路Pは、電源電圧の増加とともに単調に変化する電位レベルを出力する電源電位検出回路DDKと、電源電圧依存性のない電位レベルを出力する基準電位発生回路KDHと、電源電位検出回路DDKと基準電位発生回路KDHとが出力する2つの電位レベルを比較し高低関係を出力する電位レベル比較回路DLHとて構成する。

【0086】そして、電源電位検出回路DDKが電位レベル比較回路DLHに接続し、基準電位発生回路KDHが電位レベル比較回路DLHに接続し、電位レベル比較回路DLHに信号出力部OUTを設ける。

【0087】つぎに図2に示す本発明の第2の実施形態のパワーオンリセット回路Pの動作について説明する。

【0088】電源供給を開始後時間の経過とともに電源電圧は増加するこのとき電源電位検出回路DDKは、電源電圧の増加に対応して単調に増加、または減少する電源電位レベルを電位レベル比較回路DLHに出力する。

【0089】電源電位レベルの増加と減少とは、本発明のパワーオンリセット回路Pを用いる回路システムの基準レベルであるグラントレベルが、高電位側電源VDDであるか低電位側電源VSSであるかにより異なり、グラントレベルが高電位側電源VDDである場合電源電圧の増加とともに電源電位レベルは減少し、グラントレベルが低電位側電源VSSである場合、電源電圧の増加とともに電源電位レベルは増加をする。

【0090】そして、電源電圧が立ち上がる間は電源電位検出回路DDKが出力する電源電位レベルは単調増加または単調減少し、電源電圧が立ち上がりある一定の電圧になると電源電位検出回路DDKも電源電圧に対応してある一定の電源電位レベルを出力する。

【0091】また、基準電位発生回路KDHは電源電圧に依存せずにある一定の電位レベルを電位レベル比較回路DLHに出力する。以下、基準電位発生回路KDHが電源電圧に依存せず出力するある一定の電位レベルを

基準電位レベルと呼ぶ。ただし、基準電位発生回路KDHは電源電圧が設定する基準電位レベル以上の電圧値になるまでは電源電位レベルとほとんど等しい値を保って変化をする。

【0092】電位レベル比較回路DLHは、入力する電源電位レベルと基準電位レベルとの比較を行ない、どちらの電位レベルが高いかによって信号出力部OUTに出力する出力信号の電位レベルを変化する。

【0093】電源電位検出回路DDKが出力する電源電位レベルと基準電位発生回路KDHが出力する基準電位レベルは異なる電位レベルに設定するか、電源電圧の立ち上がりに対して時間的に異なる変化をするように設定する。

【0094】グラントレベルが高電位側電源VDDである場合、電源供給の開始状態では、つねに基準電位発生回路KDHの出力する基準電位レベルを、電源電位検出回路DDKの出力する電源電位レベル以下に設定し、電源電圧が立ち上がる間または立ち上がり後に、基準電位発生回路KDHの出力する基準電位レベルは、電源電位検出回路DDKの出力する電源電位レベル以上の電位レベルになるように設定する。

【0095】電位レベル比較回路DLHは、基準電位発生回路KDHの出力する基準電位レベルが電源電位検出回路DDKの出力する電源電位レベル以下のあいだに、信号出力部OUTからある電位レベルの出力信号を出力して回路システムの初期状態を設定し、基準電位発生回路KDHの出力する基準電位レベルは電源電位検出回路DDKの出力する電源電位レベル以上の電位レベルになると回路システムの初期状態の設定を終了する。

【0096】また、グラントレベルが低電位側電源VSSである場合、電源供給の開始状態では常に基準電位発生回路KDHの出力する基準電位レベルを電源電位検出回路DDKの出力する電源電位レベル以上に設定し、電源電圧が立ち上がる間または立ち上がり後に基準電位発生回路KDHの出力する基準電位レベルは、電源電位検出回路DDKの出力する電源電位レベルより低い電位レベルになるように設定する。

【0097】電位レベル比較回路DLHは、基準電位発生回路KDHの出力する基準電位レベルが電源電位検出回路DDKの出力する電源電位レベル以上のあいだに、信号出力部OUTからある電位レベルの出力信号を出力し回路システムの初期状態を設定し、基準電位発生回路KDHの出力する基準電位レベルは電源電位検出回路DDKの出力する電源電位レベルより低い電位レベルになると回路システムの初期状態の設定を終了する。

【0098】携帯電話やPHSなどの移動体通信機器で消費電流を下げる場合、待ち受け時間の消費電力を下げるために、待ち受け時間内において、待ち受け待機時間では電子機器部品への電源電圧供給を停止することと待ち受け動作時間では電子機器部品への電源電圧供給を開

始することを繰り返しおこない、消費電力を可能な限り少なくしている。

【0099】このため、移動体通信機器に使用する電子機器部品に対し電源投入後に短時間で安定した状態になる仕様に対して、電源電圧の立ち上がり速度がバラ付いたり変化しても図1に示す本発明の第1の実施形態のパワーオンリセット回路Pは、電位レベル比較回路DLHが電源電圧の立ち上がり速度に依存せずに、電位レベル比較回路DLHが電源電位レベルと基準電位レベルの電位レベルを比較するので、出力信号が電源電圧の立ち上がり速度のばらつきや大きな変化にまったく依存しない。

【0100】また、電源電圧の大きさがバラ付いたり変化しても図1に示す本発明の第1の実施形態のパワーオンリセット回路Pは、電源電位検出回路DDKと基準電位発生回路KDHはそれぞれグラントレベルに対する電位レベルの信号を出力しているので、電位レベル比較回路DLHが出力する出力信号は電源電圧の大きさのばらつきや大きな変化にまったく依存しない。

【0101】図1に示す本発明の第1の実施形態のパワーオンリセット回路Pを用いれば、移動体通信機器に使用する電子機器部品に対する電源電圧供給を開始した後に短時間で安定した状態になるという要求を満足し、しかも電源電圧の立ち上がり速度や電源電圧の大きさがバラ付いたり変化しても安定した動作を行なえる回路システムを提供できる。

【0102】

【実施例】

【本発明の第1の実施例の説明：図3、図4、図5】つぎに図面を用いて、本発明の第1の実施例を詳述する。図3は、本発明の第1の実施例におけるパワーオンリセット回路Pの構成を示す回路図である。

【0103】図3に示す本発明の第1の実施例のパワーオンリセット回路Pは、電源電圧の増加とともに単調に変化する電源電位レベルを出力する電源電位検出回路DDKと電源電位検出回路DDKが出力する電源電位レベルを比較し高低関係を信号電位レベルとして出力する電位レベル比較回路DLHとで構成する。

【0104】電源電位検出回路DDKの構成は、第1の抵抗R1と第2の抵抗R2を高電位側電源VDDと低電位側電源VSSの間で直列に接続し、第1の抵抗R1と第2の抵抗R2の接続点を電源電位検出回路DDKの出力として電位レベル比較回路DLHに接続する。

【0105】電位レベル比較回路DLHは、第1のPチャネル型MOSTランジスタMP1と第1のNチャネル型MOSTランジスタMN1が高電位側電源VDDと低電位側電源VSSのあいだで直列に接続し、第2のPチャネル型MOSTランジスタMP2と第2のNチャネル型MOSTランジスタMN2が高電位側電源VDDと低電位側電源VSSのあいだで直列に接続し、第1のPチ

ャネル型MOSTランジスタMP1のドレインが第1のNチャネル型MOSTランジスタMN1と第2のNチャネル型MOSTランジスタMN2のゲートに接続し、さらに、高電位側電源VDDが第2のPチャネルMOSTランジスタMP2のゲートに接続する。

【0106】ただし、第2のPチャネルMOSTランジスタMP2はスレッシュOLD電圧がゼロVでも“オン”するデプレッション型PチャネルMOSTランジスタを用い、第1のPチャネルMOSTランジスタMP1のスレッシュOLD電圧は第2のPチャネルMOSTランジスタMP2のスレッシュOLD電圧より低ければ、デプレッション型PチャネルMOSTランジスタまたはエンハンスメント型PチャネルMOSTランジスタを用いる。

【0107】つぎに図4を用いて、スレッシュOLD電圧が異なる第1のPチャネルMOSTランジスタMP1と第2のPチャネルMOSTランジスタMP2の構造の例を説明する。第1のPチャネルMOSTランジスタMP1と第2のPチャネルMOSTランジスタMP2の構造について説明する。図4は、本発明の第1の実施例における第1のPチャネルMOSTランジスタMP1の構造を示す断面図である。

【0108】図4に示す本発明の第1の実施例における第1のPチャネルMOSTランジスタMP1の構造は、バルク領域Bを低濃度N型半導体で形成し、このバルク領域Bに高濃度P型半導体でソース領域Sとドレイン領域Dを形成し、ソース領域Sとドレイン領域Dの間に低濃度P型半導体でチャネル領域Cを形成する。

【0109】そして、チャネル領域Cの上に絶縁物Oを介して仕事関数が $\Phi_A$ である金属でゲート電極Gを形成し、ゲート電極Gとソース領域Sとドレイン領域Dとバルク領域Bのそれぞれを、第1のPチャネルMOSTランジスタMP1のゲートとソースとドレインとバルクとする。

【0110】また、図5は、本発明の第1の実施例における第2のPチャネルMOSTランジスタMP2の構造を示す断面図である。

【0111】図5に示す本発明の第1の実施例における第2のPチャネルMOSTランジスタMP2の構造は、バルク領域Bを低濃度N型半導体で形成し、このバルク領域Bに高濃度P型半導体でソース領域Sとドレイン領域Dを形成し、ソース領域Sとドレイン領域Dの間に低濃度P型半導体でチャネル領域Cを形成する。

【0112】そして、チャネル領域Cの上に絶縁物Oを介して仕事関数が $\Phi_B$ である金属でゲート電極Gを形成し、ゲート電極Gとソース領域Sとドレイン領域Dとバルク領域Bのそれぞれを、第2のPチャネルMOSTランジスタMP2のゲートとソースとドレインとバルクとする。

【0113】ここで、図4に示す本発明の第1の実施例における第1のPチャネルMOSTランジスタMP1の

構造と図5に示す本発明の第1の実施例における第2のPチャネルMOSTランジスタMP2の構造はゲート電極Gに用いる金属の仕事関数が異なり、チャネル領域の不純物濃度分布を等しい。

【0114】ただし、第1のPチャネルMOSTランジスタMP1のゲート電極Gに用いる金属の仕事関数 $\Phi_A$ は第2のPチャネルMOSTランジスタMP2のゲート電極Gに用いる金属の仕事関数 $\Phi_B$ より高いエネルギー単位をもつとする。

【0115】ここで、ゲート電極Gに用いる金属の仕事関数を異ならせるためには、異なる仕事関数を有する金属を2種類選択して用いればよく、たとえば、アルミニウムなどを用いたり、モリブデンやタングステンなどの高融点金属から組み合わせることで可能である。

【0116】そして、電源電位検出回路DDKが電位レベル比較回路DLHの第1のPチャネル型MOSTランジスタMP1のゲートに接続し、第2のNチャネル型MOSTランジスタMN2のドレインに信号出力部OUTを設ける。

【0117】つぎに図3に示す本発明の第1の実施例のパワーオンリセット回路Pの動作について説明する。

【0118】電源供給を開始後時間の経過とともに電源電圧は増加するこのとき電源電位検出回路DDKは電源電圧の増加に対応して、第1の抵抗R1と第2の抵抗R2により電源電圧を分圧し単調に増加または減少する電源電位レベルを電位レベル比較回路DLHに出力する。

【0119】電源電位レベルの増加と減少とは、本発明のパワーオンリセット回路Pを用いる回路システムの基準レベルであるグラウンドレベルが高電位側電源VDDであるか低電位側電源VSSであるかによって異なり、グラウンドレベルが高電位側電源VDDである場合電源電圧の増加とともに電源電位レベルは減少し、グラウンドレベルが低電位側電源VSSである場合、電源電圧の増加とともに電源電位レベルは増加をする。

【0120】そして、電源電圧が立ち上がる間は電源電位検出回路DDKが出力する電源電位レベルは単調増加または単調減少し、電源電圧が立ち上がりある一定の電圧になると電源電位検出回路DDKも電源電圧に対応してある一定の電源電位レベルを出力する。

【0121】電位レベル比較回路DLHは、MOSTランジスタを用いるコンパレータ回路の構成になっており第1のPチャネルMOSTランジスタMP1のゲートと第2のPチャネルMOSTランジスタMP2のゲートに入力するゲート電圧の高低により、信号出力部OUTから出力する信号電位レベルが大きく変わる。

【0122】また、電位レベル比較回路DLHにおける第2のPチャネルMOSTランジスタMP2のゲートに入力する電位レベルは、ゲート-ソース間電圧が電源電圧に依存しないようにソースの高電位側電源VDDの電位レベルを入力する。

【0123】ここで、第2のPチャネルMOSトランジスタMP2はスレショルド電圧が少なくともゼロVで“オン”するデプレッション型PチャネルMOSトランジスタを用い、第1のPチャネルMOSトランジスタMP1のスレショルド電圧は第2のPチャネルMOSトランジスタMP2のスレショルド電圧より低いPチャネルMOSトランジスタを用いる。

【0124】このため、電位レベル比較回路DLHは第1のPチャネルMOSトランジスタMP1のゲートに入力するゲート電圧が、第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2のスレショルド電圧の差より高い場合は信号出力部OUTの出力信号は高電位側電源VDDに近い電位を出力し、第1のPチャネルMOSトランジスタMP1のゲートに入力するゲート電圧が第2のPチャネルMOSトランジスタMP2のゲートに入力するゲート電圧が、第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2のスレショルド電圧の差より低い場合は信号出力部OUTの出力信号は低電位側電源VSSに近い電位を出力する。

【0125】ここで、第1の抵抗R1の抵抗値と第2の抵抗R2の抵抗値の比、および第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2とのスレショルド電圧の差を調整し、電源電圧に対する電位レベル比較回路DLHの出力する信号電位レベルの切り換わりを制御する。

【0126】たとえば、第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2とのスレショルド電圧の差は、第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2の構造はゲート電極Gに用いる金属の仕事関数だけ異なる方法を用いる。

【0127】この場合、ゲート電極Gに使用する金属の仕事関数は金属そのものが有する値であり、プロセスバラつきなど製造工程による影響を受けなく、第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2とのスレショルド電圧の差がプロセスバラつきなど製造工程による影響を受けなくなる。

【0128】電源供給の開始状態では常に電源電位検出回路DDKの出力する電源電位レベルを、高電位側電源VDDの電位レベルから、第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2とのスレショルド電圧の差だけ低い電位レベル以下に設定する。

【0129】そして、電源電圧が立ち上がるあいだまたは立ち上がり後に、電源電位検出回路DDKの出力する電源電位レベルを、高電位側電源VDDの電位レベルから第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2とのスレショルド

電圧の差だけ低い電位レベル以上の電位レベルになるように設定する。

【0130】電位レベル比較回路DLHは、電源電位検出回路DDKの出力する電源電位レベルを、高電位側電源VDDの電位レベルから第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2とのスレショルド電圧の差だけ低い電位レベル以下の間に、信号出力部OUTから高電位側電源VDDに近い信号電位レベルを出力し回路システムの初期状態を設定する。

【0131】そして、電位レベル比較回路DLHは、電源電位検出回路DDKの出力する電源電位レベルを、高電位側電源VDDの電位レベルから第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2とのスレショルド電圧の差だけ低い電位レベル以上の電位レベルになると低電位側電源VSSに近い信号電位レベルを出力し回路システムの初期状態の設定を終了する。

【0132】また、図3に示す本発明の第1の実施例のパワーオンリセット回路Pで電源電位検出回路DDKを電位レベル比較回路DLHの第2のPチャネル型MOSトランジスタMP2に接続し、基準電位検出回路を電位レベル比較回路DLHの第1のPチャネル型MOSトランジスタMP1に接続する構成も考えられ、この構成の場合は、信号出力部OUTから出力する信号の電位レベル変化が上記の関係と反対になる。

【0133】さらに、図3に示す本発明の第1の実施例のパワーオンリセット回路Pの電源電位検出回路DDKの構成で、電源電位検出回路DDKの出力と高電位側電源VDDと低電位側電源VSSの両方または一方の電源の間にコンデンサを設けて、電源電圧の立ちあがりに対して電源電位検出回路DDKの出力を時間的に遅らせることも可能である。

【0134】〔本発明の第2の実施例の説明：図4、図5、図6〕つぎに図面を用いて、本発明の第2の実施例を詳述する。図6は、本発明の第2の実施例におけるパワーオンリセット回路Pの構成を示す回路図である。

【0135】図6に示す本発明の第2の実施例のパワーオンリセット回路Pは、電源電圧の増加とともに単調に変化する電源電位レベルを出力する電源電位検出回路DDKと電源電位検出回路DDKが出力する電源電位レベルを比較し高低関係を信号電位レベルとして出力する電位レベル比較回路DLHとで構成する。

【0136】電源電位検出回路DDKは、電源電圧を電源電位レベルとして電位レベル比較回路DLHに出力し、電位レベル比較回路DLHは第1のPチャネル型MOSトランジスタMP1と第1のNチャネル型MOSトランジスタMN1が高電位側電源VDDと低電位側電源VSSの間で直列に接続し、第2のPチャネル型MOSトランジスタMP2と第2のNチャネル型MOSトラン

ジスタMN2が高電位側電源VDDと低電位側電源VSSのあいだで直列に接続し、第1のPチャネル型MOSトランジスタMP1のドレインが第1のNチャネル型MOSトランジスタMN1と第2のNチャネル型MOSトランジスタMN2のゲートに接続し、高電位側電源VDDが第2のPチャネルMOSトランジスタMP2のゲートに接続する。

【0137】ただし、第2のPチャネルMOSトランジスタMP2はスレッシュOLD電圧がゼロVでも“オン”するデプレッション型PチャネルMOSトランジスタを用い、第1のPチャネルMOSトランジスタMP1のスレッシュOLD電圧は第2のPチャネルMOSトランジスタMP2のスレッシュOLD電圧より低ければ、デプレッション型PチャネルMOSトランジスタまたはエンハンスメント型PチャネルMOSトランジスタを用いる。

【0138】つぎにスレッシュOLD電圧が異なる第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2の構造の例を説明する。第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2の構造について説明する。図4は、本発明の第1の実施例における第1のPチャネルMOSトランジスタMP1の構造を示す断面図である。

【0139】図4に示す本発明の第2の実施例における第1のPチャネルMOSトランジスタMP1の構造は、バルク領域Bを低濃度N型半導体で形成し、このバルク領域Bに高濃度P型半導体でソース領域Sとドレイン領域Dを形成し、ソース領域Sとドレイン領域Dの間に低濃度P型半導体でチャネル領域Cを形成する。

【0140】そして、チャネル領域Cの上に絶縁物Oを介して仕事関数が $\Phi_A$ である金属でゲート電極Gを形成し、ゲート電極Gとソース領域Sとドレイン領域Dとバルク領域Bのそれぞれを、第1のPチャネルMOSトランジスタMP1のゲートとソースとドレインとバルクとする。

【0141】また、図5は、本発明の第2の実施例における第2のPチャネルMOSトランジスタMP2の構造を示す断面図である。

【0142】図5に示す本発明の第2の実施例における第2のPチャネルMOSトランジスタMP2の構造は、バルク領域Bを低濃度N型半導体で形成し、このバルク領域Bに高濃度P型半導体でソース領域Sとドレイン領域Dを形成し、ソース領域Sとドレイン領域Dの間に低濃度P型半導体でチャネル領域Cを形成する。

【0143】そして、チャネル領域Cの上に絶縁物Oを介して仕事関数が $\Phi_B$ である金属でゲート電極Gを形成し、ゲート電極Gとソース領域Sとドレイン領域Dとバルク領域Bのそれぞれを、第2のPチャネルMOSトランジスタMP2のゲートとソースとドレインとバルクとする。

【0144】ここで、図4に示す本発明の第2の実施例における第1のPチャネルMOSトランジスタMP1の構造と図5に示す本発明の第1の実施例における第2のPチャネルMOSトランジスタMP2の構造はゲート電極Gに用いる金属の仕事関数が異なり、チャネル領域の不純物濃度分布を等しい。

【0145】ただし、第1のPチャネルMOSトランジスタMP1のゲート電極Gに用いる金属の仕事関数 $\Phi_A$ は第2のPチャネルMOSトランジスタMP2のゲート電極Gに用いる金属の仕事関数 $\Phi_B$ より高いエネルギー準位をもつとする。

【0146】ここで、ゲート電極Gに用いる金属の仕事関数を異ならせるためには、異なる仕事関数を有する金属を2種類選択して用いればよく、たとえば、アルミニウムなどを用いたり、モリブデンやタングステンなどの高融点金属から組み合わせることで可能である。

【0147】そして、電源電位検出回路DDKが電位レベル比較回路DLHの第1のPチャネル型MOSトランジスタMP1のゲートに接続し、第2のNチャネル型MOSトランジスタMN2のドレインに信号出力部OUTを設ける。

【0148】つぎに図6に示す本発明の第2の実施例のパワーオンリセット回路Pの動作について説明する。

【0149】電源供給を開始後時間の経過とともに電源電圧は増加するこのとき電源電位検出回路DDKは電源電圧の増加に対応して、単調に増加または減少する電源電位レベルを電位レベル比較回路DLHに出力する。

【0150】電源電位レベルの増加と減少とは、本発明のパワーオンリセット回路Pを用いる回路システムの基準レベルであるグラウンドレベルが高電位側電源VDDであるか低電位側電源VSSであるかによって異なり、グラウンドレベルが高電位側電源VDDである場合電源電圧の増加とともに電源電位レベルは減少し、グラウンドレベルが低電位側電源VSSである場合、電源電圧の増加とともに電源電位レベルは増加をする。

【0151】そして、電源電圧が立ち上がる間は電源電位検出回路DDKが出力する電源電位レベルは単調増加または単調減少し、電源電圧が立ち上がりある一定の電圧になると電源電位検出回路DDKも電源電圧に対応してある一定の電源電位レベルを出力する。

【0152】電位レベル比較回路DLHは、MOSトランジスタを用いるコンパレータ回路の構成になっており第1のPチャネルMOSトランジスタMP1のゲートと第2のPチャネルMOSトランジスタMP2のゲートに入力するゲート電圧の高低により、信号出力部OUTから出力する信号電位レベルが大きく変わる。

【0153】また、電位レベル比較回路DLHにおける第2のPチャネルMOSトランジスタMP2のゲートに入力する電位レベルは、ゲートーソース間電圧が電源電圧に依存しないようにソースの高電位側電源VDDの電

位レベルを入力する。

【0154】ここで、第2のPチャネルMOSトランジスタMP2はスレショルド電圧が少なくともゼロVで“オン”するデプレッション型PチャネルMOSトランジスタを用い、第1のPチャネルMOSトランジスタMP1のスレショルド電圧は第2のPチャネルMOSトランジスタMP2のスレショルド電圧より低いPチャネルMOSトランジスタを用いる。

【0155】このため、電位レベル比較回路DLHは第1のPチャネルMOSトランジスタMP1のゲートに入力するゲート電圧が、第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2のスレショルド電圧の差より高い場合は信号出力部OUTの出力信号は高電位側電源VDDに近い電位を出力し、第1のPチャネルMOSトランジスタMP1のゲートに入力するゲート電圧が第2のPチャネルMOSトランジスタMP2のゲートに入力するゲート電圧が、第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2のスレショルド電圧の差より低い場合は信号出力部OUTの出力信号は低電位側電源VSSに近い電位を出力する。

【0156】ここで、第1の抵抗R1の抵抗値と第2の抵抗R2の抵抗値の比と、第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2とのスレショルド電圧の差を調整して、電源電圧に対する電位レベル比較回路DLHの出力する信号電位レベルの切り換わりを制御する。

【0157】ここでたとえば、第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2とのスレショルド電圧の差は、第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2の構造はゲート電極Gに用いる金属の仕事関数だけ異なる方法を用いる。

【0158】この場合、ゲート電極Gに使用する金属の仕事関数は金属そのものが有する値であり、プロセスバラつきなど製造工程による影響を受けなく、第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2とのスレショルド電圧の差がプロセスバラつきなど製造工程による影響を受けなくなる。

【0159】電源供給の開始状態では常に電源電位検出回路DDKの出力する電源電位レベルを、高電位側電源VDDの電位レベルから、第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2とのスレショルド電圧の差だけ低い電位レベル以下に設定する。

【0160】そして、電源電圧が立ち上がるあいだまたは立ち上がり後に、電源電位検出回路DDKの出力する電源電位レベルを、高電位側電源VDDの電位レベルから第1のPチャネルMOSトランジスタMP1と第2の

PチャネルMOSトランジスタMP2とのスレショルド電圧の差だけ低い電位レベル以上の電位レベルになるように設定する。

【0161】電位レベル比較回路DLHは、電源電位検出回路DDKの出力する電源電位レベルを、高電位側電源VDDの電位レベルから第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2とのスレショルド電圧の差だけ低い電位レベル以下の間に信号出力部OUTから高電位側電源VDDに近い信号電位レベルを出力し回路システムの初期状態を設定する。

【0162】そして、電位レベル比較回路DLHは、電源電位検出回路DDKの出力する電源電位レベルを、高電位側電源VDDの電位レベルから第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2とのスレショルド電圧の差だけ低い電位レベル以上の電位レベルになると低電位側電源VSSに近い信号電位レベルを出力し回路システムの初期状態の設定を終了する。

【0163】また、図6に示す本発明の第2の実施例のパワーオンリセット回路Pで電源電位検出回路DDKを電位レベル比較回路DLHの第2のPチャネル型MOSトランジスタMP2に接続し、基準電位検出回路を電位レベル比較回路DLHの第1のPチャネル型MOSトランジスタMP1に接続する構成も考えられ、この構成の場合は、信号出力部OUTから出力する信号の電位レベル変化が上記の関係と反対になる。

【0164】さらに、図6に示す本発明の第2の実施例のパワーオンリセット回路Pの電源電位検出回路DDKの構成において、電源電位検出回路DDKの出力と高電位側電源VDDと低電位側電源VSSの両方または一方の電源の間にコンデンサを設けて、電源電圧の立ちあがりに対して電源電位検出回路DDKの出力を時間的に遅らせることも可能である。

【0165】〔本発明の第3の実施例の説明：図4、図5、図7〕つぎに図面を用いて、本発明の第3の実施例を詳述する。図7は、本発明の第3の実施例におけるパワーオンリセット回路Pの構成を示す回路図である。

【0166】図7に示す本発明の第3の実施例のパワーオンリセット回路Pは、電源電圧の増加とともに単調に変化する電源電位レベルを出力する電源電位検出回路DDKと電源電位検出回路DDKが出力する電源電位レベルを比較し高低関係を信号電位レベルとして出力する電位レベル比較回路DLHとで構成する。

【0167】電源電位検出回路DDKの構成は、第1の抵抗R1と第2の抵抗R2を高電位側電源VDDと低電位側電源VSSの間で直列に接続し、第1の抵抗R1と第2の抵抗R2の接続点を電源電位検出回路DDKの出力として電位レベル比較回路DLHに接続する。

【0168】電位レベル比較回路DLHは第1のPチャ

ネル型MOSトランジスタMP1と第1のNチャネル型MOSトランジスタMN1が高電位側電源VDDと低電位側電源VSSの間で直列に接続し、第2のPチャネル型MOSトランジスタMP2と第2のNチャネル型MOSトランジスタMN2が高電位側電源VDDと低電位側電源VSSのあいだで直列に接続し、第1のNチャネル型MOSトランジスタMN1のドレインが第1のPチャネル型MOSトランジスタMP1と第2のPチャネル型MOSトランジスタMP2のゲートに接続する。

【0169】ただし、第2のNチャネルMOSトランジスタMN2はスレッシュド電圧がゼロVでも“オン”するデプレッション型NチャネルMOSトランジスタを用い、第1のNチャネルMOSトランジスタMN1のスレッシュド電圧は第2のNチャネルMOSトランジスタMN2のスレッシュド電圧より高ければ、デプレッション型NチャネルMOSトランジスタまたはエンハンスメント型NチャネルMOSトランジスタを用いる。

【0170】つぎに、スレッシュド電圧が異なる第1のNチャネルMOSトランジスタMN1と第2のNチャネルMOSトランジスタMN2の構造の例を説明する。第1のNチャネルMOSトランジスタMN1と第2のNチャネルMOSトランジスタMN2の構造について説明する。図4は、本発明の第3の実施例における第1のNチャネルMOSトランジスタMN1の構造を示す断面図である。

【0171】図4に示す本発明の第3の実施例における第1のNチャネルMOSトランジスタMN1の構造は、バルク領域Bを低濃度P型半導体で形成し、このバルク領域Bに高濃度N型半導体でソース領域Sとドレイン領域Dを形成し、ソース領域Sとドレイン領域Dの間に低濃度N型半導体でチャネル領域Cを形成する。

【0172】そして、チャネル領域Cの上に絶縁物Oを介して仕事関数が $\Phi_A$ である金属でゲート電極Gを形成し、ゲート電極Gとソース領域Sとドレイン領域Dとバルク領域Bのそれぞれを、第1のNチャネルMOSトランジスタMN1のゲートとソースとドレインとバルクとする。

【0173】また、図5は、本発明の第3の実施例における第2のNチャネルMOSトランジスタMN2の構造を示す断面図である。

【0174】図5に示す本発明の第3の実施例における第2のNチャネルMOSトランジスタMN2の構造は、バルク領域Bを低濃度P型半導体で形成し、このバルク領域Bに高濃度N型半導体でソース領域Sとドレイン領域Dを形成し、ソース領域Sとドレイン領域Dの間に低濃度N型半導体でチャネル領域Cを形成する。

【0175】そして、チャネル領域Cの上に絶縁物Oを介して仕事関数が $\Phi_B$ である金属でゲート電極Gを形成し、ゲート電極Gとソース領域Sとドレイン領域Dとバルク領域Bのそれぞれを、第2のNチャネルMOSトラン

ジスタMN2のゲートとソースとドレインとバルクとする。

【0176】ここで、図4に示す本発明の第3の実施例における第1のNチャネルMOSトランジスタMN1の構造と図5に示す本発明の第3の実施例における第2のNチャネルMOSトランジスタMN2の構造はゲート電極Gに用いる金属の仕事関数が異なり、チャネル領域の不純物濃度分布を等しい。

【0177】ただし、第1のNチャネルMOSトランジスタMN1のゲート電極Gに用いる金属の仕事関数 $\Phi_A$ は第2のNチャネルMOSトランジスタMN2のゲート電極Gに用いる金属の仕事関数 $\Phi_B$ より低いエネルギー準位をもつとする。

【0178】ここで、ゲート電極Gに用いる金属の仕事関数を異ならせるためには、異なる仕事関数を有する金属を2種類選択して用いればよく、例えば、アルミニウムなどを用いたり、モリブデンやタングステンなどの高融点金属から組み合わせることで可能である。

【0179】そして、電源電位検出回路DDKが電位レベル比較回路DLHの第1のNチャネル型MOSトランジスタMN1のゲートに接続し、基準電位発生回路KDHが電位レベル比較回路DLHの第2のNチャネル型MOSトランジスタMN2のゲートに接続し、第2のPチャネル型MOSトランジスタMP2のドレインに信号出力部OUTを設ける。

【0180】つぎに図7に示す本発明の第3の実施例のパワーオンリセット回路Pの動作について説明する。

【0181】電源供給を開始後時間の経過とともに電源電圧は増加するこのとき電源電位検出回路DDKは電源電圧の増加に対応して、第1の抵抗R1と第2の抵抗R2により電源電圧を分圧し単調に増加または減少する電源電位レベルを電位レベル比較回路DLHに出力する。

【0182】電源電位レベルの増加と減少とは、本発明のパワーオンリセット回路Pを用いる回路システムの基準レベルであるグラウンドレベルが高電位側電源VDDであるか低電位側電源VSSであるかによって異なり、グラウンドレベルが高電位側電源VDDである場合電源電圧の増加とともに電源電位レベルは減少し、グラウンドレベルが低電位側電源VSSである場合、電源電圧の増加とともに電源電位レベルは増加をする。

【0183】そして、電源電圧が立ち上がる間は電源電位検出回路DDKが出力する電源電位レベルは単調増加または単調減少し、電源電圧が立ち上がりある一定の電圧になると電源電位検出回路DDKも電源電圧に対応してある一定の電源電位レベルを出力する。

【0184】電位レベル比較回路DLHは、MOSトランジスタを用いるコンパレータ回路の構成になっており第1のNチャネルMOSトランジスタMN1のゲートと第2のNチャネルMOSトランジスタMN2のゲートに入力するゲート電圧の高低により、信号出力部OUTが

ら出力する信号電位レベルが大きく変わる。

【0185】また、電位レベル比較回路DLHにおける第2のNチャネルMOSTランジスタMN2のゲートに入力する電位レベルは、ゲートソース間電圧が電源電圧に依存しないように、ソースの高電位側電源VDDの電位レベルを入力する。

【0186】ここで、第2のNチャネルMOSTランジスタMP2はスレショルド電圧が少なくともゼロVで“オン”するデプレッション型NチャネルMOSTランジスタを用い、第1のNチャネルMOSTランジスタMN1のスレショルド電圧は第2のNチャネルMOSTランジスタMN2のスレショルド電圧より高いNチャネルMOSTランジスタを用いる。

【0187】このため、電位レベル比較回路DLHは第1のNチャネルMOSTランジスタMN1のゲートに入力するゲート電圧が、第1のNチャネルMOSTランジスタMN1と第2のNチャネルMOSTランジスタMN2のスレショルド電圧の差より高い場合は信号出力部OUTの出力信号は高電位側電源VDDに近い電位を出力し、第1のNチャネルMOSTランジスタMN1のゲートに入力するゲート電圧が第2のNチャネルMOSTランジスタMN2のゲートに入力するゲート電圧が、第1のNチャネルMOSTランジスタMN1と第2のNチャネルMOSTランジスタMN2のスレショルド電圧の差より高い場合は信号出力部OUTの出力信号は低電位側電源VSSに近い電位を出力する。

【0188】ここで、第1の抵抗R1の抵抗値と第2の抵抗R2の抵抗値の比と、第1のNチャネルMOSTランジスタMN1と第2のNチャネルMOSTランジスタMN2とのスレショルド電圧の差を調整して、電源電圧に対する電位レベル比較回路DLHの出力する信号電位レベルの切り換わりを制御する。

【0189】たとえば、第1のNチャネルMOSTランジスタMN1と第2のNチャネルMOSTランジスタMN2とのスレショルド電圧の差は、第1のNチャネルMOSTランジスタMN1と第2のNチャネルMOSTランジスタMN2の構造はゲート電極Gに用いる金属の仕事関数だけ異なる方法を用いる。

【0190】この場合、ゲート電極Gに使用する金属の仕事関数は金属そのものが有する値であり、プロセスバラつきなど製造工程による影響を受けなく、第1のNチャネルMOSTランジスタMN1と第2のNチャネルMOSTランジスタMN2とのスレショルド電圧の差がプロセスバラつきなど製造工程による影響を受けなくなる。

【0191】電源供給の開始状態では常に電源電位検出回路DDKの出力する電源電位レベルを、高電位側電源VDDの電位レベルから、第1のNチャネルMOSTランジスタMN1と第2のNチャネルMOSTランジスタMN2とのスレショルド電圧の差だけ高い電位レベル以

上に設定する。

【0192】そして、電源電圧が立ち上がるあいだまたは立ち上がり後に、電源電位検出回路DDKの出力する電源電位レベルを、高電位側電源VDDの電位レベルから第1のNチャネルMOSTランジスタMN1と第2のNチャネルMOSTランジスタMN2とのスレショルド電圧の差だけ高い電位レベル以下の電位レベルになるように設定する。

【0193】電位レベル比較回路DLHは、電源電位検出回路DDKの出力する電源電位レベルを、高電位側電源VDDの電位レベルから第1のNチャネルMOSTランジスタMN1と第2のNチャネルMOSTランジスタMN2とのスレショルド電圧の差だけ高い電位レベル以上の間に信号出力部OUTから高電位側電源VDDに近い信号電位レベルを出力し回路システムの初期状態を設定する。

【0194】そして、電位レベル比較回路DLHは、電源電位検出回路DDKの出力する電源電位レベルを、高電位側電源VDDの電位レベルから第1のNチャネルMOSTランジスタMN1と第2のNチャネルMOSTランジスタMN2とのスレショルド電圧の差だけ高い電位レベル以下の電位レベルになると低電位側電源VSSに近い信号電位レベルを出力し回路システムの初期状態の設定を終了する。

【0195】また、図7に示す本発明の第3の実施例のパワーオンリセット回路Pで電源電位検出回路DDKを電位レベル比較回路DLHの第2のNチャネル型MOSTランジスタMN2に接続し、基準電位検出回路を電位レベル比較回路DLHの第1のNチャネル型MOSTランジスタMN1に接続する構成も考えられ、この構成の場合は、信号出力部OUTから出力する信号の電位レベル変化が上記の関係と反対になる。

【0196】さらに、図7に示す本発明の第3の実施例のパワーオンリセット回路Pの電源電位検出回路DDKの構成において、電源電位検出回路DDKの出力と高電位側電源VDDと低電位側電源VSSの両方または一方の電源の間にコンデンサを設けて、電源電圧の立ちあがりに対して電源電位検出回路DDKの出力を時間的に遅らせることも可能である。

【0197】[本発明の第4の実施例の説明：図4、図5、図8] つぎに図面を用いて、本発明の第4の実施例を詳述する。図8は、本発明の第4の実施例におけるパワーオンリセット回路Pの構成を示す回路図である。

【0198】図8に示す本発明の第4の実施例のパワーオンリセット回路Pは、電源電圧の増加とともに単調に変化する電源電位レベルを出力する電源電位検出回路DDKと電源電位検出回路DDKが出力する電源電位レベルを比較し高低関係を信号電位レベルとして出力する電位レベル比較回路DLHとで構成する。

【0199】電源電位検出回路DDKは、電源電圧を電

源電位レベルとして電位レベル比較回路DLHに出力し、電位レベル比較回路DLHは第1のPチャネル型MOSトランジスタMP1と第1のNチャネル型MOSトランジスタMN1が高電位側電源VDDと低電位側電源VSSの間で直列に接続し、第2のPチャネル型MOSトランジスタMP2と第2のNチャネル型MOSトランジスタMN2が高電位側電源VDDと低電位側電源VSSのあいだで直列に接続し、第1のNチャネル型MOSトランジスタMN1のドレインが第1のPチャネル型MOSトランジスタMP1と第2のPチャネル型MOSトランジスタMP2のゲートに接続する。

【0200】ただし、第2のPチャネルMOSトランジスタMP2はスレショルド電圧がゼロVでも“オン”するデプレッション型PチャネルMOSトランジスタを用い、第1のPチャネルMOSトランジスタMP1のスレショルド電圧は第2のPチャネルMOSトランジスタMP2のスレショルド電圧より低ければ、デプレッション型PチャネルMOSトランジスタまたはエンハンスメント型PチャネルMOSトランジスタを用いる。

【0201】つぎにスレショルド電圧が異なる第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2の構造の例を説明する。第1のPチャネルMOSトランジスタMP1と第2のPチャネルMOSトランジスタMP2の構造について説明する。図4は、本発明の第1の実施例における第1のPチャネルMOSトランジスタMP1の構造を示す断面図である。

【0202】図8に示す本発明の第4の実施例における第1のPチャネルMOSトランジスタMP1の構造は、バルク領域Bを低濃度N型半導体で形成し、このバルク領域Bに高濃度P型半導体でソース領域Sとドレイン領域Dを形成し、ソース領域Sとドレイン領域Dの間に低濃度P型半導体でチャネル領域Cを形成する。

【0203】そして、チャネル領域Cの上に絶縁物Oを介して仕事関数が $\Phi_A$ である金属でゲート電極Gを形成し、ゲート電極Gとソース領域Sとドレイン領域Dとバルク領域Bのそれぞれを、第1のPチャネルMOSトランジスタMP1のゲートとソースとドレインとバルクとする。

【0204】また、図5は、本発明の第4の実施例における第2のPチャネルMOSトランジスタMP2の構造を示す断面図である。

【0205】図5に示す本発明の第4の実施例における第2のPチャネルMOSトランジスタMP2の構造は、バルク領域Bを低濃度N型半導体で形成し、このバルク領域Bに高濃度P型半導体でソース領域Sとドレイン領域Dを形成し、ソース領域Sとドレイン領域Dの間に低濃度P型半導体でチャネル領域Cを形成する。

【0206】そして、チャネル領域Cの上に絶縁物Oを介して仕事関数が $\Phi_B$ である金属でゲート電極Gを形成

し、ゲート電極Gとソース領域Sとドレイン領域Dとバルク領域Bのそれぞれを、第2のPチャネルMOSトランジスタMP2のゲートとソースとドレインとバルクとする。

【0207】ここで、図4に示す本発明の第4の実施例における第1のPチャネルMOSトランジスタMP1の構造と図5に示す本発明の第1の実施例における第2のPチャネルMOSトランジスタMP2の構造はゲート電極Gに用いる金属の仕事関数が異なり、チャネル領域の不純物濃度分布を等しい。

【0208】ただし、第1のPチャネルMOSトランジスタMP1のゲート電極Gに用いる金属の仕事関数 $\Phi_A$ は第2のPチャネルMOSトランジスタMP2のゲート電極Gに用いる金属の仕事関数 $\Phi_B$ より高いエネルギー単位をもつとする。

【0209】ここで、ゲート電極Gに用いる金属の仕事関数を異ならせるためには、異なる仕事関数を有する金属を2種類選択して用いればよく、たとえば、アルミニウムなどを用いたり、モリブデンやタングステンなどの高融点金属から組み合わせることで可能である。

【0210】そして、電源電位検出回路DDKが電位レベル比較回路DLHの第1のNチャネル型MOSトランジスタMN1のゲートに接続し、基準電位発生回路KDHが電位レベル比較回路DLHの第2のNチャネル型MOSトランジスタMN2のゲートに接続し、第2のPチャネル型MOSトランジスタMP2のドレインに信号出力部OUTを設ける。

【0211】つぎに図6に示す本発明の第2の実施例のパワーオンリセット回路Pの動作について説明する。

【0212】電源供給を開始後時間の経過とともに電源電圧は増加するこのとき電源電位検出回路DDKは電源電圧の増加に対応して、単調に増加または減少する電源電位レベルを電位レベル比較回路DLHに出力する。

【0213】電源電位レベルの増加と減少とは、本発明のパワーオンリセット回路Pを用いる回路システムの基準レベルであるグラウンドレベルが高電位側電源VDDであるか低電位側電源VSSであるかによって異なり、グラウンドレベルが高電位側電源VDDである場合電源電圧の増加とともに電源電位レベルは減少し、グラウンドレベルが低電位側電源VSSである場合、電源電圧の増加とともに電源電位レベルは増加をする。

【0214】そして、電源電圧が立ち上がる間は電源電位検出回路DDKが出力する電源電位レベルは単調増加または単調減少し、電源電圧が立ち上がりある一定の電圧になると電源電位検出回路DDKも電源電圧に対応してある一定の電源電位レベルを出力する。

【0215】電位レベル比較回路DLHは、MOSトランジスタを用いるコンパレータ回路の構成になっており第1のPチャネルMOSトランジスタMP1のゲートと第2のPチャネルMOSトランジスタMP2のゲートに

入力するゲート電圧の高低により、信号出力部OUTから出力する信号電位レベルが大きく変わる。

【0216】また、電位レベル比較回路DLHにおける第2のPチャネルMOSTランジスタMP2のゲートに入力する電位レベルは、ゲートソース間電圧が電源電圧に依存しないようにソースの高電位側電源VDDの電位レベルを入力する。

【0217】ここで、第2のPチャネルMOSTランジスタMP2はスレショルド電圧が少なくともゼロVで“オン”するデプレッション型PチャネルMOSTランジスタを用い、第1のPチャネルMOSTランジスタMP1のスレショルド電圧は第2のPチャネルMOSTランジスタMP2のスレショルド電圧より低いPチャネルMOSTランジスタを用いる。

【0218】このため、電位レベル比較回路DLHは第1のPチャネルMOSTランジスタMP1のゲートに入力するゲート電圧が、第1のPチャネルMOSTランジスタMP1と第2のPチャネルMOSTランジスタMP2のスレショルド電圧の差より高い場合は信号出力部OUTの出力信号は高電位側電源VDDに近い電位を出力し、第1のPチャネルMOSTランジスタMP1のゲートに入力するゲート電圧が第2のPチャネルMOSTランジスタMP2のゲートに入力するゲート電圧が、第1のPチャネルMOSTランジスタMP1と第2のPチャネルMOSTランジスタMP2のスレショルド電圧の差より低い場合は信号出力部OUTの出力信号は低電位側電源VSSに近い電位を出力する。

【0219】ここで、第1の抵抗R1の抵抗値と第2の抵抗R2の抵抗値の比と、第1のPチャネルMOSTランジスタMP1と第2のPチャネルMOSTランジスタMP2とのスレショルド電圧の差を調整して、電源電圧に対する電位レベル比較回路DLHの出力する信号電位レベルの切り換わりを制御する。

【0220】たとえば、第1のPチャネルMOSTランジスタMP1と第2のPチャネルMOSTランジスタMP2とのスレショルド電圧の差は、第1のPチャネルMOSTランジスタMP1と第2のPチャネルMOSTランジスタMP2の構造はゲート電極Gに用いる金属の仕事関数だけ異なる方法を用いる。

【0221】この場合、ゲート電極Gに使用する金属の仕事関数は金属そのものが有する値であり、プロセスバラつきなど製造工程による影響を受けなく、第1のPチャネルMOSTランジスタMP1と第2のPチャネルMOSTランジスタMP2とのスレショルド電圧の差がプロセスバラつきなど製造工程による影響を受けなくなる。

【0222】電源供給の開始状態では常に電源電位検出回路DDKの出力する電源電位レベルを、高電位側電源VDDの電位レベルから、第1のPチャネルMOSTランジスタMP1と第2のPチャネルMOSTランジスタ

MP2とのスレショルド電圧の差だけ低い電位レベル以下に設定する。

【0223】そして、電源電圧が立ち上がるあいだまたは立ち上がり後に、電源電位検出回路DDKの出力する電源電位レベルを、高電位側電源VDDの電位レベルから第1のPチャネルMOSTランジスタMP1と第2のPチャネルMOSTランジスタMP2とのスレショルド電圧の差だけ低い電位レベル以上の電位レベルになるように設定する。

【0224】電位レベル比較回路DLHは、電源電位検出回路DDKの出力する電源電位レベルを、高電位側電源VDDの電位レベルから第1のPチャネルMOSTランジスタMP1と第2のPチャネルMOSTランジスタMP2とのスレショルド電圧の差だけ低い電位レベル以下の間に信号出力部OUTから高電位側電源VDDに近い信号電位レベルを出力し回路システムの初期状態を設定する。

【0225】そして、電位レベル比較回路DLHは、電源電位検出回路DDKの出力する電源電位レベルを、高電位側電源VDDの電位レベルから第1のPチャネルMOSTランジスタMP1と第2のPチャネルMOSTランジスタMP2とのスレショルド電圧の差だけ低い電位レベル以上の電位レベルになると低電位側電源VSSに近い信号電位レベルを出力し回路システムの初期状態の設定を終了する。

【0226】また、図8に示す本発明の第4の実施例のパワーオンリセット回路Pで電源電位検出回路DDKを電位レベル比較回路DLHの第2のPチャネル型MOSTランジスタMP2に接続し、基準電位検出回路を電位レベル比較回路DLHの第1のPチャネル型MOSTランジスタMP1に接続する構成も考えられ、この構成の場合は、信号出力部OUTから出力する信号の電位レベル変化が上記の関係と反対になる。

【0227】さらにまた、図8に示す本発明の第4の実施例のパワーオンリセット回路Pの電源電位検出回路DDKの構成で、電源電位検出回路DDKの出力と高電位側電源VDDと低電位側電源VSSの両方または一方の電源の間にコンデンサを設けて、電源電圧の立ちあがりに対して電源電位検出回路DDKの出力を時間的に遅らせることも可能である。

【0228】

【発明の効果】以上の説明から明らかなように、本発明のパワーオンリセット回路は、電源電圧依存性のない電位レベルと電位レベル比較回路を有し、電源電圧の大きさにより出力信号の電位レベルを切り換えることができる。

【0229】このようなパワーオンリセット回路構成により、本発明においては、電源電圧の立ち上がり速度と電源電圧の大きさにばらつきや変動があっても回路システムの初期状態を設定することが安定して行うことが可

能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態におけるパワーオンリセット回路の構成を示すブロック回路図である。

【図2】本発明の第2の実施形態におけるパワーオンリセット回路の構成を示すブロック回路図である。

【図3】本発明の第1の実施例におけるパワーオンリセット回路の構成を示す回路図である。

【図4】本発明の実施例における第1のPチャンネルMOSトランジスタまたは第1のNチャンネルMOSトランジスタの構造を示す断面図である。

【図5】本発明の実施例における第2のPチャンネルMOSトランジスタまたは第2のNチャンネルMOSトランジスタの構造を示す断面図である。

【図6】本発明の第2の実施例におけるパワーオンリセット回路の構成を示す回路図である。

【図7】本発明の第3の実施例におけるパワーオンリセット回路の構成を示す回路図である。

【図8】本発明の第4の実施例におけるパワーオンリセット回路の構成を示す回路図である。

【図9】従来技術におけるパワーオンリセット回路の構成を示す回路図である。

【図10】第2の従来技術におけるパワーオンリセット回路の構成を示す回路図である。

【符号の説明】

P パワーオンリセット回路

MP1 第1のPチャンネルMOSトランジスタ

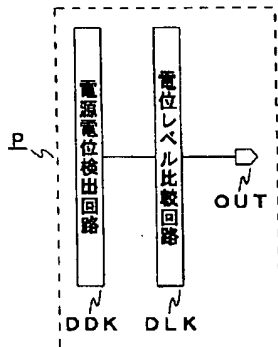
MP2 第2のPチャンネルMOSトランジスタ

NP1 第1のNチャンネルMOSトランジスタ

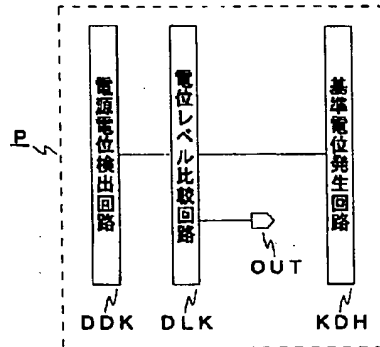
NP2 第2のNチャンネルMOSトランジスタ

OUT 信号出力部

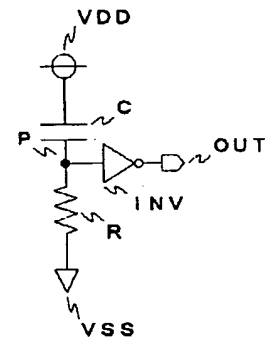
【図1】



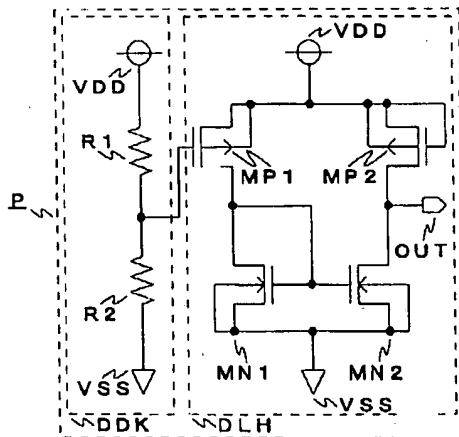
【図2】



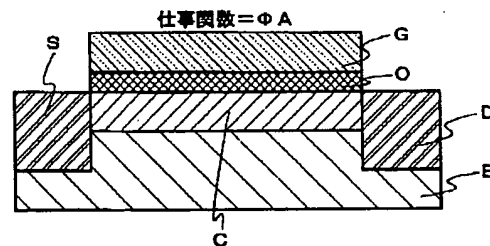
【図9】



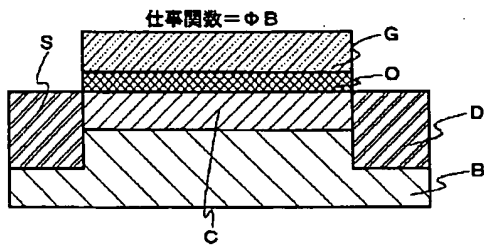
【図3】



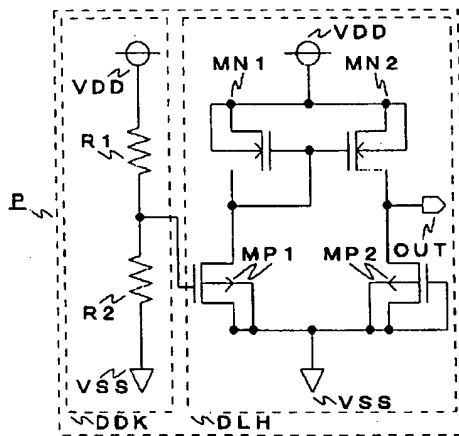
【図4】



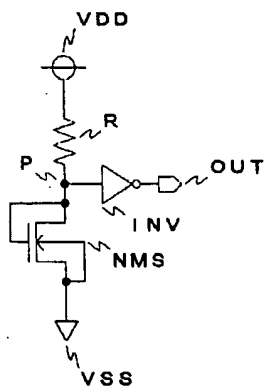
【図5】



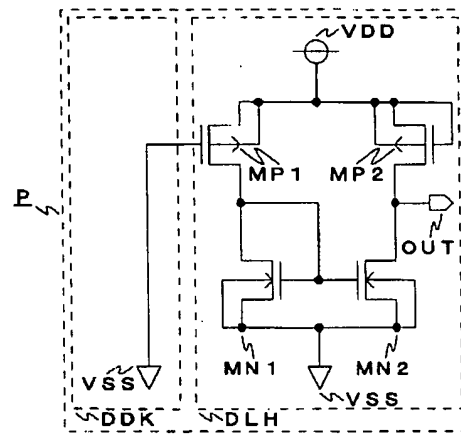
【図7】



【図10】



【図6】



【図8】

